

NGUYỄN VĂN HUY

Sửa chữa ĐẦU MÁY CD-VCD-DVD



NHÀ XUẤT BẢN GIÁO DỤC



NGUYỄN VĂN HUY

SỬA CHỮA ĐẦU MÁY

CD-VCD-DVD

NHÀ XUẤT BẢN GIÁO DỤC

LỜI NÓI ĐẦU

Ngày nay, người ta không nghe nhạc bằng dụng cụ cơ học, đĩa từ, băng từ nữa mà thường thức âm thanh nổi, âm thanh kỹ thuật số... với máy đọc CD (Compact Disc), VCD (Video Compact Disc), DVD (Digital Video Disc). Để đáp ứng nhu cầu học tập của học sinh học nghề Điện tử, chúng tôi biên soạn cuốn sách sửa chữa máy CD-VCD-DVD cơ bản về lý thuyết và các Pan cơ bản về thực hành theo chương trình đào tạo THCN và đào tạo công nhân bậc 3/7.

Cuốn sách chia thành 15 chương giới thiệu về máy CD-VCD và phần Phụ lục giới thiệu về máy DVD và CDROM.

Mặc dù đã cố gắng rất nhiều khi biên soạn nhưng chắc chắn vẫn còn thiếu sót. Chúng tôi mong nhận được các ý kiến đóng góp của bạn đọc và đồng nghiệp để được hoàn chỉnh hơn. Mọi ý kiến xin được gửi về: Công ty cổ phần sách Đại học – Dạy nghề, Nhà xuất bản Giáo dục, 25 Hân Thuyên - Hà Nội.

TÁC GIÀ

Chương 1

TỔNG QUAN VỀ CD – VCD

1.1. KỸ THUẬT SỐ TRONG CD - VCD

1.1.1. Khái niệm tín hiệu số, hệ thống số đếm, mã BCD

1. Khái niệm tín hiệu số (Digital)

- Tín hiệu số là tín hiệu biến đổi rời rạc theo thời gian. Tín hiệu số có dạng xung, có hai mức logic 0 và 1. Thông thường tương ứng với mức điện áp 0V và 5V.

Trong thực tế:

- Mức 0 còn gọi là mức thấp, ký hiệu là L (LOW) có điện áp từ 0 đến 0,7V.
- Mức 1 còn gọi là mức cao, ký hiệu là H (HIGH) có điện áp từ 1,7 đến 5V.
- Mức điện áp từ 0,8V đến 1,6V các cổng logic sẽ không phân biệt được mức logic nào, do đó có thể chúng bị khoá hoặc làm việc sai yêu cầu kỹ thuật.

2. Các hệ thống số đếm

- Bảng hệ thống số đếm.

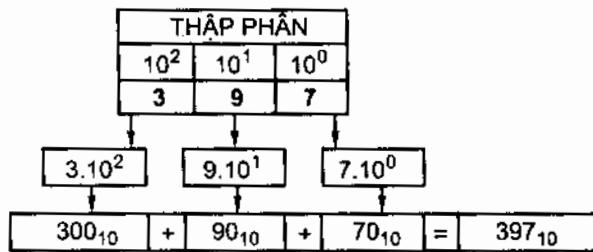


Hình 1.1. Đồ thị dạng xung của tín hiệu số.

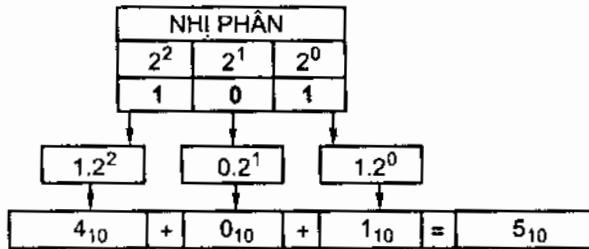
Các hệ thống số			
Thập phân	Nhi phân	Bát phân	Thập lục phân
0	0	0	0
1	1	1	1
2	10	2	2
3	11	3	3
4	100	4	4
5	101	5	5
6	110	6	6
7	111	7	7
8	1000	10	8

9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F
16	10000	20	10
17	10001	21	11
18	10010	22	12
19	10011	23	13
20	10100	24	14

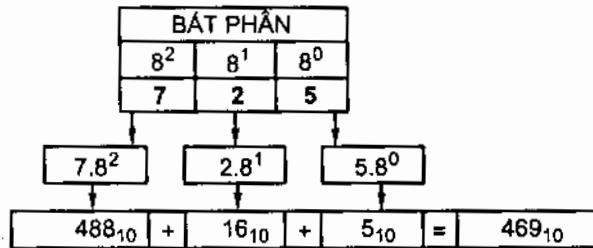
- Bảng biểu diễn cơ số đếm của hệ đếm thập phân



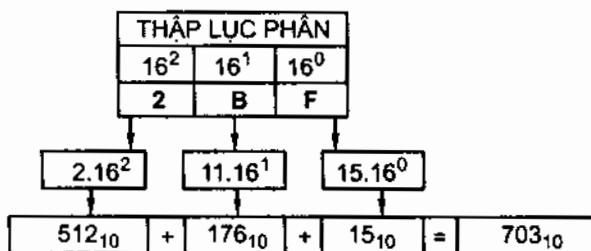
- Bảng biểu diễn cơ số đếm của hệ đếm nhị phân



- Bảng biểu diễn cơ số đếm của hệ đếm bát phân

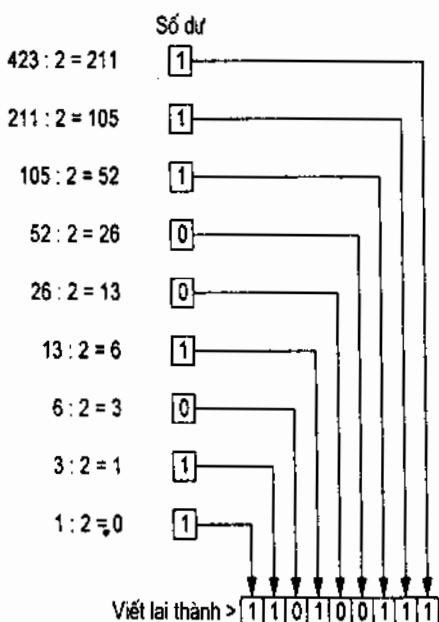


- Bảng biểu diễn cơ số đếm của hệ đếm thập lục phân



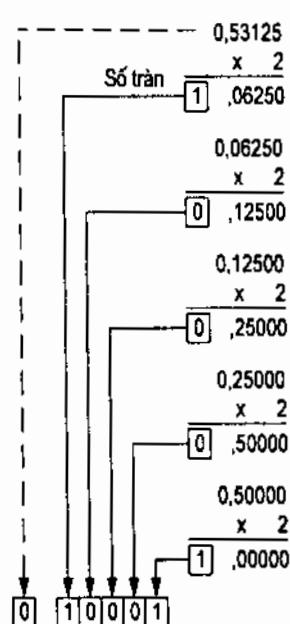
- Chuyển đổi từ hệ đếm thập phân sang hệ đếm nhị phân

Phần nguyên (trước dấu phẩy)
Phương pháp chia 2



$$423_{10} = 110100111_2$$

Phần thập phân (sau dấu phẩy)
Phương pháp nhân 2



$$0,53125_{10} = 0,10001_2$$

3. Mã BCD

Trong các mạch số, các dữ liệu luôn phải định dạng nhị phân thì mạch mới hiểu và xử lý được. Việc chuyển đổi các điện áp tín hiệu, từ các số thập phân lớn sang nhị phân rất phức tạp, không tiện dụng vì vậy người ta quy định một dạng mã tiện dụng hơn là số thập phân được mã hóa theo nhị phân. Mã đó được gọi là BCD (Binary Code Decimal). Sau đây là bảng chuyển từ hệ thập phân sang hệ BCD:

Thập phân	0	1	2	3	4	5	6	7	8	9
BCD	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001

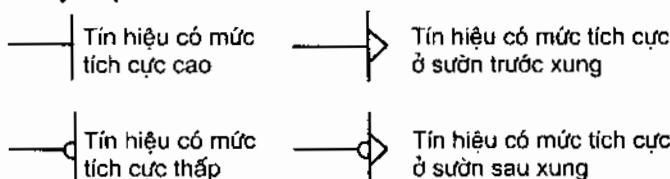
Ví dụ: $1994_{10} = 0001.1001.1001.0100_{BCD}$

1.1.2. Chữ viết tắt và ký hiệu thường dùng trong sơ đồ và bảng trạng thái

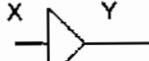
1. Chữ viết tắt

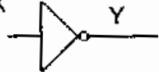
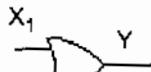
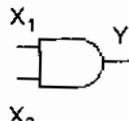
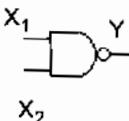
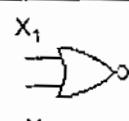
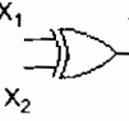
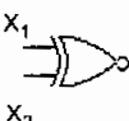
H (High)	: Tín hiệu ở mức điện áp cao.
L (Low)	: Tín hiệu ở mức điện áp thấp.
X	: Trạng thái tín hiệu không xác định.
	: Tín hiệu xung chuyển từ mức thấp lên mức cao.
	: Tín hiệu xung chuyển từ mức cao xuống mức thấp.
	: Tín hiệu là xung dương.
	: Tín hiệu là xung âm.
NC	: Chân IC không nối với mạch điện bên trong.
CK (Clock)	: Xung đồng hồ (xung nhịp).
Clr (Clear)	: Lối vào đưa xung “thiết lập 0” (xung xoá).
Pr (Preset)	: Lối vào đưa xung “thiết lập 1”.

2. Ký hiệu



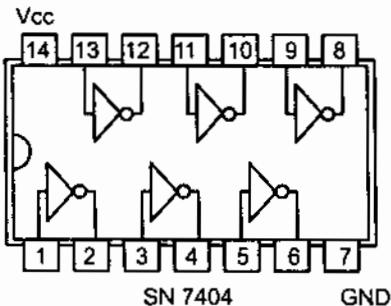
3. Các cổng logic thông dụng và các bảng trạng thái

Tên cổng	Ký hiệu	Hàm đầu ra	Bảng trạng thái	
			X	Y
Yes		$Y = X$	0	0
			1	1

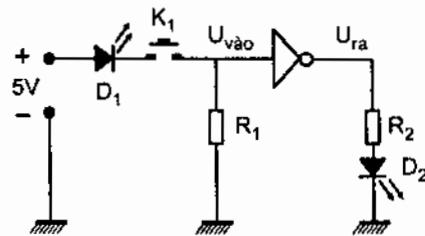
NOT		$Y = \overline{X}$	<table border="1"> <tr><th>X</th><th>Y</th></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	X	Y	0	1	1	0									
X	Y																	
0	1																	
1	0																	
OR		$Y = X_1 + X_2$	<table border="1"> <tr><th>X₁</th><th>X₂</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X ₁	X ₂	Y	0	0	0	0	1	1	1	0	1	1	1	1
X ₁	X ₂	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
And		$Y = X_1 \cdot X_2$	<table border="1"> <tr><th>X₁</th><th>X₂</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X ₁	X ₂	Y	0	0	0	0	1	0	1	0	0	1	1	1
X ₁	X ₂	Y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
Nand		$Y = \overline{X_1 \cdot X_2}$	<table border="1"> <tr><th>X₁</th><th>X₂</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	X ₁	X ₂	Y	0	0	1	0	1	1	1	0	1	1	1	0
X ₁	X ₂	Y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$Y = \overline{X_1 + X_2}$	<table border="1"> <tr><th>X₁</th><th>X₂</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	X ₁	X ₂	Y	0	0	1	0	1	0	1	0	0	1	1	0
X ₁	X ₂	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
XOR		$Y = X_1 \oplus X_2$	<table border="1"> <tr><th>X₁</th><th>X₂</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	X ₁	X ₂	Y	0	0	0	0	1	1	1	0	1	1	1	0
X ₁	X ₂	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
XNOR		$Y = \overline{X_1 \oplus X_2}$	<table border="1"> <tr><th>X₁</th><th>X₂</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X ₁	X ₂	Y	0	0	1	0	1	0	1	0	0	1	1	1
X ₁	X ₂	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

1.1.4. IC chứa các cổng logic thông dụng và phương pháp kiểm tra mức logic các cổng

1. Kiểm tra mức logic cổng NOT



a)

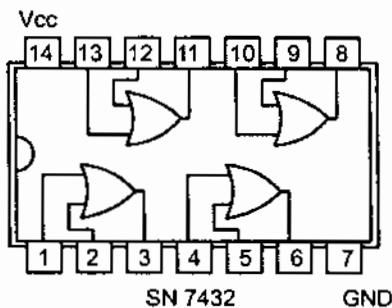


b)

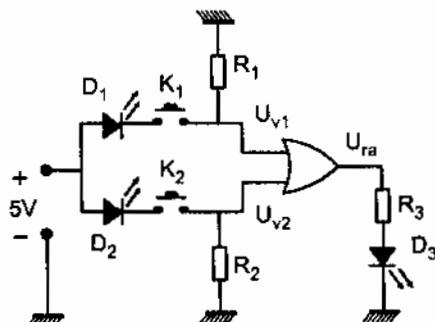
Hình 1.2. Hình dạng IC SN7404 chứa cổng NOT (a)
và cách mắc mạch kiểm tra (b).

Khi nhấn K₁, U_{vao} được nối với điện áp 5V (D₁ sáng) U_{ra} ở mức thấp D₂ tắt – Khi nhả K₁, U_{vao} ở mức thấp (D₁ tắt) U_{ra} ở mức cao D₂ sáng.

2. Kiểm tra mức logic cổng OR



a)



b)

Hình 1.3. Hình dạng IC SN7432 chứa cổng OR (a)
và cách mắc mạch kiểm tra (b).

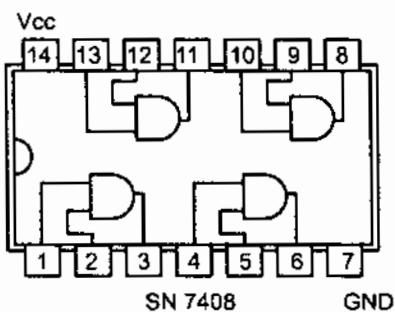
Khi nhả K₁, nhả K₂ U_{v1}, U_{v2} ở mức thấp (D₁, D₂ tắt) U_{ra} ở mức thấp D₃ tắt.

Khi nhấn K₁, nhả K₂ U_{v1} được nối với điện áp 5V (D₁ sáng), U_{v2} ở mức thấp (D₂ tắt) U_{ra} ở mức cao D₃ sáng.

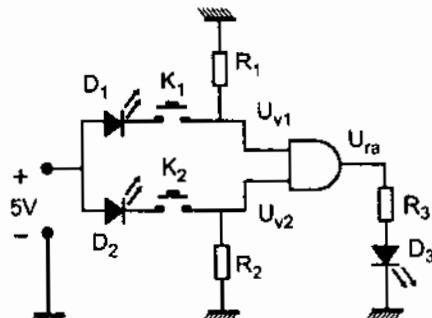
Khi nhấn K₂, nhả K₁ U_{v2} được nối với điện áp 5V (D₂ sáng), U_{v1} ở mức thấp (D₁ tắt) U_{ra} ở mức cao D₃ sáng.

Khi nhấn K₁, K₂, U_{v1}, U_{v2} ở mức cao (D₁, D₂ sáng) U_{ra} ở mức cao D₃ sáng.

3. Kiểm tra mức logic cổng AND



a)



b)

Hình 1.4. Hình dạng IC SN7408 chứa cổng AND (a)
và cách mắc mạch kiểm tra (b).

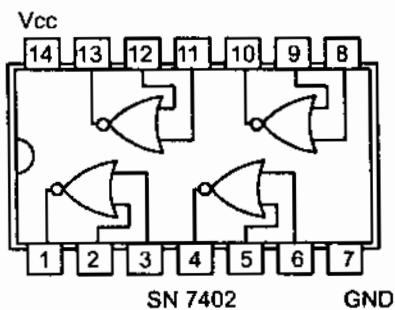
Khi nhả K₁, nhả K₂, U_{v1}, U_{v2} ở mức thấp (D₁, D₂ tắt) U_{ra} ở mức thấp D₃ tắt.

Khi nhấn K₁, nhả K₂, U_{v1} được nối với điện áp 5V (D₁ sáng), U_{v2} ở mức thấp (D₂ tắt) U_{ra} ở mức thấp D₃ tắt.

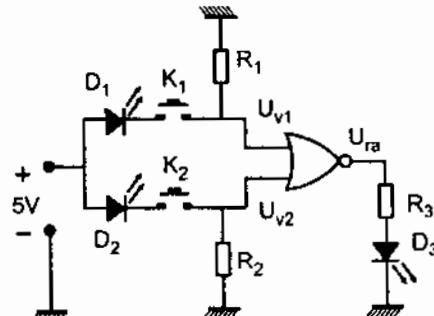
Khi nhấn K₂, nhả K₁, U_{v2} được nối với điện áp 5V (D₂ sáng), U_{v1} ở mức thấp (D₁ tắt) U_{ra} ở mức thấp D₃ tắt.

Khi nhấn K₁, K₂, U_{v1}, U_{v2} ở mức cao (D₁, D₂ sáng) U_{ra} ở mức cao D₃ sáng.

4. Kiểm tra mức logic cổng NOR



a)



b)

Hình 1.5. Hình dạng IC SN7402 chứa cổng NOR (a)
và cách mắc mạch kiểm tra (b).

Khi nhả K₁, nhả K₂, U_{v1}, U_{v2} ở mức thấp (D₁, D₂ tắt) U_{ra} ở mức cao D₃ sáng.

Khi nhấn K₁, nhả K₂, U_{v1} được nối với điện áp 5V (D₁ sáng), U_{v2} ở mức thấp (D₂ tắt) U_{ra} ở mức thấp D₃ tắt.