

BỘ GIÁO DỤC VÀ ĐÀO TẠO
ĐẠI HỌC THÁI NGUYÊN

CHU ĐỨC TOÀN

**NGHIÊN CỨU THUẬT TOÁN ĐIỀU KHIỂN THÍCH NGHI
LUỒNG THAM CHIẾU ĐỂ NÂNG CAO TỐC ĐỘ CHO
CÁC HỆ XỬ LÝ SONG SONG CHUYÊN DỤNG**

LUẬN ÁN TIẾN SĨ KỸ THUẬT

THÁI NGUYÊN - 2014

**BỘ GIÁO DỤC VÀ ĐÀO TẠO
ĐẠI HỌC THÁI NGUYÊN**

CHU ĐỨC TOÀN

**NGHIÊN CỨU THUẬT TOÁN ĐIỀU KHIỂN THÍCH NGHI
LUỒNG THAM CHIẾU ĐỂ NÂNG CAO TỐC ĐỘ CHO CÁC
HỆ XỬ LÝ SONG SONG CHUYÊN DỤNG**

Chuyên ngành: Kỹ thuật Điều khiển và Tự động hóa
Mã số: 62.52.02.16

LUẬN ÁN TIẾN SĨ KỸ THUẬT

Cán bộ hướng dẫn khoa học 1

Cán bộ hướng dẫn khoa học 2

PGS. TS. Đỗ Xuân Tiên

PGS.TS. Nguyễn Hữu Công

THÁI NGUYÊN - 2014

LỜI CAM ĐOAN

Tôi xin cam đoan đây là công trình nghiên cứu của riêng tôi. Các số liệu, kết quả mới nêu trong luận án là hoàn toàn trung thực và chưa từng được ai công bố trong bất kì công trình nào khác.

Ngày 05 tháng 02 năm 2014

Tác giả luận án

Chu Đức Toàn

LỜI CẢM ƠN

Trong quá trình làm luận án, tôi đã nhận được nhiều ý kiến đóng góp từ các thầy, cô giáo, các anh chị và các bạn đồng nghiệp.

Tôi xin bày tỏ lòng biết ơn sâu sắc nhất đến tập thể hướng dẫn PGS.TS Đỗ Xuân Tiến – Học viện KTQS, PGS.TS Nguyễn Hữu Công – Đại học Thái Nguyên đã tận tình hướng dẫn tôi trong suốt quá trình làm luận án. Tôi xin cảm ơn đến ban chủ nhiệm và hội đồng khoa học của bộ môn: Tự động hóa XNCN - Khoa Điện - Trường Đại học Kỹ thuật Công nghiệp, Đại học Thái Nguyên; bộ môn Kỹ thuật Vi xử lý – Học viện Kỹ thuật Quân sự.

Tôi xin chân thành cảm ơn lãnh đạo và các chuyên viên Phòng thí nghiệm Kỹ thuật Vi xử lý – Học viện Kỹ thuật Quân sự, đã tạo điều kiện về trang thiết bị thực nghiệm để tôi hoàn thành được phần thực nghiệm và mô phỏng của luận án.

Tôi xin chân thành cảm ơn Khoa Sau đại học - Trường Đại học Kỹ thuật Công nghiệp, Đại học Thái Nguyên, xin chân thành cảm ơn Ban giám hiệu Trường Đại học Kỹ thuật Công nghiệp đã tạo những điều kiện thuận lợi nhất về mọi mặt để tôi hoàn thành khóa học Nghiên cứu sinh.

Tác giả luận án

Chu Đức Toàn

MỤC LỤC

	Trang
Lời cam đoan.....	i
Lời cảm ơn.....	ii
Mục lục.....	iii
Danh mục các ký hiệu và các chữ viết tắt.....	vi
Danh mục các bảng.....	viii
Danh mục các hình vẽ và đồ thị.....	ix
MỞ ĐẦU.....	1
Chương 1. KIẾN TRÚC HỆ XỬ LÝ SONG SONG ĐA CPU	6
1.1. Tài nguyên hệ thống.....	6
1.1.1. Tài nguyên phần cứng.....	6
1.1.2. Tài nguyên phần mềm.....	6
1.2. Định nghĩa hệ xử lý song song	7
1.3. Phân loại hệ xử lý song song.....	7
1.3.1. Sơ đồ phân loại của Flynn.....	8
1.3.2. Sơ đồ phân loại của Handler.....	9
1.4. Kiến trúc chung hệ xử lý song song đa CPU.....	10
1.4.1 Mô hình.....	11
1.4.2 Những vấn đề liên quan đến hiệu năng.....	12
1.5. Kiến trúc chung hệ xử lý song song đa CPU chuyên dụng.....	19
1.5.1. Các đặc trưng của hệ xử lý song song chuyên dụng.....	19
1.5.2. Kiến trúc của hệ xử lý song song chuyên dụng.....	21
1.6. Luận giải, định hướng nghiên cứu của đề tài.....	25
1.7. Kết luận chương 1.....	30
Chương 2. XÂY DỰNG MÔ HÌNH TOÁN HỌC THAM CHIẾU BỘ NHỚ DÙNG CHUNG TRONG HỆ XỬ LÝ SONG SONG ĐA CPU CHUYÊN DỤNG	31
2.1. Cơ sở lý thuyết	31

2.2. Xây dựng mô hình toán học tham chiếu bộ nhớ dùng chung trong hệ xử lý song song đa CPU chuyên dụng.....	35
2.2.1. Mô hình truyền thống tham chiếu bộ nhớ dùng chung trong hệ xử lý song song đa CPU.....	35
2.2.2. Mô hình cải tiến tham chiếu bộ nhớ dùng chung trong hệ xử lý song song đa CPU.....	36
2.2.2.1. Xác định đại lượng P – Xác suất thanh ghi tham chiếu lỗi vào rồi.....	37
2.2.2.2. Xác định đại lượng E_p – Hiệu năng khi các hàng đợi của các mô đun nhớ đầy	44
2.2.2.3. Xác định E_l - Hiệu năng khi thanh ghi tham chiếu lỗi vào băng nhớ rồi.....	47
2.3. Kết luận chương 2.....	51
Chương 3. XÂY DỰNG MÔ HÌNH ĐIỀU KHIỂN THÍCH NGHI CHO HỆ XỬ LÝ SONG SONG ĐA CPU CHUYÊN DỤNG.....	53
3.1. Xây dựng phần mềm khảo sát.....	53
3.1.1. Xây dựng mô đun chính phần mềm khảo sát.....	53
3.1.2. Xây dựng mô đun phần mềm tính toán hiệu năng hệ xử lý song song đa CPU trong quan hệ với chu kỳ bộ nhớ dùng chung T_c	55
3.1.3. Xây dựng mô đun phần mềm tính toán hiệu năng hệ xử lý song song đa CPU trong quan hệ với số lượng luồng tham chiếu n.....	57
3.1.4. Xây dựng mô đun phần mềm tính toán hiệu năng hệ xử lý song song đa CPU trong quan hệ với chu kỳ bộ nhớ T_c khi khảo sát ở giá trị $\rho=0,5$	59
3.2. Khảo sát, đánh giá hiệu năng mô hình điều khiển	61
3.3. Xây dựng mô hình điều khiển thích nghi.....	65
3.4. Công nghệ FPGA.....	69
3.4.1. Tái kiến trúc phần cứng bằng chương trình.....	69
3.4.2. Thiết kế hệ thống trên FPGA.....	75

3.5. Sơ đồ nguyên lý điều khiển thích nghi theo tham số m.....	83
3.6. Kết luận chương 3.....	85
KẾT LUẬN CHUNG VÀ KIẾN NGHỊ	86
DANH MỤC CÁC CÔNG TRÌNH CỦA TÁC GIẢ.....	87
TÀI LIỆU THAM KHẢO.....	88

DANH MỤC CÁC KÝ HIỆU

Ký hiệu	Ý nghĩa
λ	Là tốc độ tới của hệ thống
μ	Là tốc độ phục vụ của hệ thống
T_a	Thời gian truy nhập bộ nhớ
τ	Thời gian trễ mạch chót
E	Hiệu năng của bộ nhớ song song dùng chung
E_p	Hiệu năng của một tham chiếu khi thanh ghi tham chiếu lỗi vào bận
E_l	Hiệu năng khi thanh ghi tham chiếu lỗi vào rỗi
T_l	Chu kỳ của băng logic
T_p	Chu kỳ hiệu quả của bộ nhớ
T_d	Độ trễ nhỏ nhất để truyền một tham chiếu từ hàng chờ vào môđun nhớ
T_c	Chu kỳ vật lý của môđun nhớ
P	Xác suất thanh ghi lỗi vào rỗi
k	Số môđun nhớ trong mỗi băng logic
l	Số lượng băng logic trong hệ thống
m	Kích thước hàng chờ của mỗi môđun nhớ
q	Tốc độ khởi tạo tham chiếu trung bình của mỗi CPU (Xác suất một luồng tham chiếu đang ở trạng thái tự do sẽ khởi tạo một tham chiếu)
α	Xác suất mà một luồng tham chiếu ở trạng thái tự do
β	Xác suất một luồng tham chiếu đang thực hiện một tham chiếu thành công
γ	Xác suất một luồng tham chiếu đang thực hiện một tham chiếu không thành công
δ	Xác suất để một tham chiếu thành công

DANH MỤC CÁC TỪ VIẾT TẮT

ALU	Arithmetic Logic Unit đơn vị logic số học
CISC	Bộ VXL với tập lệnh đầy đủ
CU	Control Unit – đơn vị điều khiển;
DS	Data stream – luồng dữ liệu
EX	Execution - Thực hiện lệnh
FIFO	First In First Out - Vào trước ra trước
FPGA	Field Programmable Gate Array mảng cổng logic lập trình được
ID	Instruction decoder – giải mã lệnh
IF	Instruction fetch – nạp lệnh
IS	Instruction stream – luồng lệnh
MIMD	Multiple Instruction Multiple Data - Đa dòng lệnh đa dòng dữ liệu
MM	Memory Module – Mô đun nhớ;
OF	Operate Fetch – nạp toán hạng
PE	Processing Element – Phần tử xử lý
PU	Processing Unit – Đơn vị xử lý.
RISC	Bộ vi xử lý với tập lệnh rút gọn
TGBL	Thanh ghi bảng logic
KGNDC	Không gian nhớ dùng chung

DANH MỤC CÁC BẢNG

Danh mục	Nội dung	Trang
Bảng 1.1:	<i>Phân loại kiến trúc của Flynn</i>	8
Bảng 1.2:	<i>Sơ đồ phân loại của Erlanger</i>	10
Bảng 1.3:	<i>So sánh một số tính năng của hệ xử lý song song đa dụng và chuyên dụng</i>	21
Bảng 1.4:	<i>Thống kê khả năng xuất hiện các loại lệnh</i>	24
Bảng 3.1:	<i>Xác suất một yêu cầu đến khi hàng đợi chưa đầy theo m và ρ với qui tắc hàng đợi M/D/1/m</i>	63
Bảng 3.2:	<i>Bảng điều khiển</i>	84