

Đại học Bách Khoa Hà Nội

Lê Hoàng Anh

Nghiên cứu các tính chất điện tử, quang học và truyền dẫn của vật liệu graphene hướng tới các ứng dụng điện tử và quang điện tử

Chuyên ngành: Vật lý kỹ thuật. Mã số: 62520401

Nghiên cứu sinh: Lê Hoàng Anh

Người hướng dẫn khoa học: 1. TS. Đỗ Văn Nam

2. GS. TS. Nguyễn Đức Chiến

2015

MỤC LỤC

	Trang
MỤC LỤC.....	i
DANH MỤC CÁC KÝ HIỆU VÀ CHỮ VIẾT TẮT	iii
DANH MỤC CÁC BẢNG	iv
DANH MỤC CÁC HÌNH ẢNH, ĐỒ THỊ.....	v
GIỚI THIỆU CHUNG	1
1 TỔNG QUAN	8
1.1 Khái quát về câu chuyện graphene	8
1.2 Một số kiến thức nền tảng	12
1.2.1 Lai hóa sp^2 và các kiểu liên kết σ và π	12
1.2.2 Cấu trúc mạng tinh thể graphene.....	13
1.2.3 Các tính chất đối xứng của mạng tinh thể graphene	15
1.2.4 Cấu trúc vùng năng lượng của điện tử	15
1.2.5 Hệ thức tán sắc của các trạng thái năng lượng thấp - mô hình Dirac.....	18
1.2.6 Hàm sóng của các trạng thái kích thích năng lượng thấp.....	20
1.2.7 Mật độ trạng thái điện tử	21
1.2.8 Bài toán về cấu trúc vùng năng lượng điện tử của dải nano graphene (graphene nanoribbons).....	22
1.2.8.1 Dải nano graphene biên zigzag.....	23
1.2.8.2 Dải nano graphene biên armchair (tay vịn)	25
1.2.8.3 Gói (package) phần mềm mô phỏng về cấu trúc vùng năng lượng điện tử của các dải nano graphene.....	28
1.3 Ứng dụng của graphene trong các ứng dụng điện tử và quang điện tử	30
2 CẤU TRÚC ĐIỆN TỬ VÀ TÍNH CHẤT QUANG CỦA SIÊU MẠNG GRAPHENE	38
2.1 Giới thiệu	38
2.2 Mô hình lý thuyết và phương pháp tính	41
2.2.1 Tính toán cấu trúc vùng năng lượng	41
2.2.2 Tính toán đặc trưng hấp thụ quang.....	45
2.3 Kết quả và thảo luận	52
2.3.1 Tính chất điện tử của GSLs: sự định xứ kỳ lạ của một số trạng thái điện tử	52
2.3.2 Tính chất quang của cấu trúc GSLs: sự suy giảm độ dẫn quang trong miền năng lượng photon ($0, U_b$) và sự phụ thuộc vào trạng thái phân cực của photon.....	61
2.4 Kết luận chương	67

3 SỰ TRUYỀN DẪN ĐIỆN TỬ QUA BỀ MẶT TIẾP XÚC KIM LOẠI-GRAPHENE	69
3.1 Giới thiệu	69
3.2 Mô hình lý thuyết và tính toán	72
3.3 Kết quả và thảo luận	76
3.4 Kết luận chương	80
4 MÔ PHỎNG LINH KIỆN GFETs.....	81
4.1 Giới thiệu	81
4.2 Cấu trúc linh kiện, mô hình và phương pháp mô phỏng	81
4.2.1 Cấu trúc GFETs nghiên cứu	81
4.2.2 Phương pháp mô phỏng	83
4.2.2.1 Packages OPEDEVs: Module GFET.....	83
4.2.2.2 Kiến trúc nền tảng của module GFETs	83
4.2.2.3 Phát triển module GFETs cho đối tượng nghiên cứu.....	89
4.3 Kết quả và thảo luận	92
4.3.1 Thế năng tĩnh điện và phân bố hạt tải.....	92
4.3.2 Đặc trưng truyền dẫn của GFETs	95
4.4 Kết luận chương	100
KẾT LUẬN VÀ KIẾN NGHỊ	101
TÀI LIỆU THAM KHẢO	103
DANH MỤC CÁC CÔNG TRÌNH ĐÃ CÔNG BỐ CỦA LUẬN ÁN.....	113
PHỤ LỤC	114
Phụ lục 1. Bảng ma trận Hamiltonian của GSLs.....	114
Phụ lục 2. Bảng ma trận vận tốc của GSLs	116
Phụ lục 3. Cách sử dụng module GFETs.....	120

DANH MỤC CÁC KÝ HIỆU VÀ CHỮ VIẾT TẮT

1. GSLs : Siêu mạng graphene (Graphene superlattices)
2. GFETs : Transistor hiệu ứng trường kênh dẫn làm bằng vật liệu graphene (Graphene-based Field-Effect Transistors)
3. MOSFET : Kim loại-Oxit-Bán dẫn transistor hiệu ứng trường silicon (Metal-Oxide-Semiconductor Field-Effect Transistors)
4. NEGF : Hàm Green không cân bằng (Non-Equilibrium Green's Functions)

DANH MỤC CÁC BẢNG

	Trang
Bảng 3.1. Giá trị ước tính cho các thông số mô hình và điện trở suất/độ dẫn điện của một vài tổ hợp M-G	77
Bảng 4.1 Số liệu dòng cực tiểu và dòng cực đại cho các mẫu GFETs cho trên Hình 4.9.....	97

DANH MỤC CÁC HÌNH ẢNH, ĐỒ THỊ

	Trang
Hình M. 1 Một số cấu hình của cacbon	2
Hình M. 2 A. Geim, cha đẻ của graphene.	3
Hình 1.1 Hiệu ứng trường trong vài lớp graphene [69].	9
Hình 1.2 Quan sát thực nghiệm của hiệu ứng Hall lượng tử dị thường ở graphene [70]	9
Hình 1.3 Ảnh TEM độ phân giải cao của một mẫu graphene [52].....	12
Hình 1.4 Sự lai hóa sp^2 trong graphene; (a) Sự hình thành lai hóa orbital nguyên tử, (b) Cấu trúc orbital sau khi lai hóa. Orbital π (hồng) vuông góc với mặt phẳng chứa ba orbital σ (vàng cam)[53].....	13
Hình 1.5 Liên kết σ và liên kết π trong graphene; (a) Mô hình liên kết σ , (b) Mô hình liên kết π , (c) Liên kết σ trong graphene, các orbital σ đều nằm trong mặt phẳng mạng, (d) Liên kết π trong graphene, các orbital π vuông góc với mặt phẳng mạng [54].....	13
Hình 1.6 Mô hình mạng tinh thể graphene	14
Hình 1.7 Cấu trúc mạng đảo của graphene và vùng Brillouin	14
Hình 1.8 Sự đối xứng mạng tinh thể graphene	15
Hình 1.9 Liên kết lân cận trong mạng tinh thể graphene	16
Hình 1.10 Cấu trúc vùng năng lượng của graphene trong vùng Brillouin I; a) Đồ thị trong không gian 3 chiều, b) Đồ thị contour chiếu lên mặt phẳng (k_x, k_y) , c) Đồ thị đi theo các hướng đặc biệt.	18
Hình 1.11 Hàm mật độ trạng thái của điện tử	22
Hình 1.12 Dải nano graphene biên zigzag	23
Hình 1.13 Dải nano graphene biên armchair.....	25
Hình 1.14 Giao diện packages tính toán cấu trúc vùng năng lượng điện tử của dải nano graphene.....	28
Hình 1.15 Kết quả hiển thị của packages với các đầu vào tương ứng: a) mono layer biên zigzag, b) mono layer biên armchair, c) bilayer biên zigzag, d) bilayer biên armchair.....	29
Hình 1.16 Chức năng vẽ lại mẫu graphene đã tính toán.....	29
Hình 1.17 Một cấu trúc transistor hiệu ứng trường thông thường (MOSFET) [34].....	30
Hình 1.18 Một số mô hình linh kiện graphene đầu tiên [34]	31
Hình 1.19 Đặc trưng truyền dẫn của MOSFET điển hình dùng graphene kích thước lớn [34]. MOSFET 1 ứng với trường hợp sử dụng graphene từ phương pháp bóc tách hay mọc trên kim loại, MOSFET 2 ứng với trường	

hợp sử dụng graphene từ phương pháp epitaxy	32
Hình 1.20 Đặc tuyến Von-Ampe của MOSFET graphene [116]. (a): MOSFET 1 sử dụng graphene từ phương pháp bóc tách, (c): MOSFET 2 sử dụng graphene từ phương pháp epytaxy.....	33
Hình 1.21 Mô hình linh kiện GFETs trong nghiên cứu mô phỏng của nhóm J. Chauhan [68]	34
Hình 1.22 Quy trình chế tạo GFETs với điện cực cổng làm bằng dây nano GaN [82]. Hình f) minh họa sự hình thành lớp tiếp xúc Schottky giữa bề mặt tiếp xúc grapheme-GaN.	36
Hình 2.1 Hình ảnh mô tả một cấu trúc GSLs. a) Minh họa cấu trúc GSLs, b) Hình dạng của hàm thế tĩnh điện gây ra bởi các điện cực và hình dạng của các ô cơ sở của A-GSL và Z-GSL trong một chu kỳ thế, c) vùng Brillouin thứ nhất của A-GSL với hai điểm K.....	40
Hình 2.2 Ô đơn vị trong cấu trúc GSLs, a) A-GSLs, b) Z-GSLs	41
Hình 2.3 Vùng Brillouin I của cấu trúc GSLs, a) A-GSLs, b)Z-GSLs	53
Hình 2.4 Toàn bộ cấu trúc vùng năng lượng của một mẫu GSLs. a) A-GSLs, b) Z-GSLs, c) phần phóng to lân cận điểm K của A-GSLs, d) phần phóng to lân cận điểm K của Z-GSLs.....	54
Hình 2.5 Cấu trúc vùng năng lượng của A-GSLs với $N = 2N_1 = 30$, a) $U_b = 0$ eV, b) $U_b = U_0$, c) $U_b = 2U_0$, d) $U_b = 3U_0$	55
Hình 2.6 Cấu trúc vùng năng lượng của Z-GSLs với $N = 2N_1 = 40$, a) $U_b = 0$ eV, b) $U_b = 2U_0$, c) $U_b = 4U_0$, d) $U_b = 6U_0$	55
Hình 2.7 Biểu đồ xác suất tìm thấy điện tử p_z trong một chu kỳ của hàm thế, mật độ xác suất $P_n(k_y, x)$ với $k_x = 0$ và $n = 1, 2, 3$ và 4	57
Hình 2.8 Kiểm tra hàm sóng của GSLs tại các vùng khác nhau tương ứng với các chỉ số về vector sóng và mức năng lượng khác nhau	57
Hình 2.9 Sự thay đổi của đường cong tán sắc, a) dọc theo phương k_y , b) dọc theo phương k_x , minh họa việc ghim lại của một số mật năng lượng trong A-GSLs.....	58
Hình 2.10 Minh họa sự hình thành của các hình nón Dirac trong cấu trúc điện tử của A-GSLs.....	59
Hình 2.11 Mật độ trạng thái của các điện tử p_z trong GSLs. Hình nhỏ là thu nhỏ của DOS trong vùng năng lượng cỡ 1 eV cho thấy rằng với nhiều đỉnh của DOS trong trường hợp GSLs là sự phản ánh của các đặc tính topo của các bề mặt năng lượng trong phạm vi năng lượng của sự thay đổi của thế năng.....	60
Hình 2.12 Độ dẫn quang của GSLs và graphene.....	62
Hình 2.13 Sự suy giảm độ dẫn quang của graphene bị "pha tạp" trong phạm vi năng lượng photon ($0, 2E_F$), với E_F là năng lượng Fermi. Sơ đồ minh họa cơ chế ngăn chặn quá trình chuyển ngoại dải của điện tử có tên gọi là khóa Pauli.	63
Hình 2.14 So sánh các phần tử của ma trận chuyển quang của graphene (các đường cong màu đỏ) và GSLs	64

Hình 2.15 Phân tích đóng góp của quá trình chuyển quang từ các vùng năng lượng khác nhau trong vùng hóa trị nhảy lên vùng dẫn vào độ dẫn quang tổng cộng.....	65
Hình 2.16 Minh chứng cho sự chuyển mức nổi trội của các điện tử p_z từ vùng hóa trị lên vùng dẫn	66
Hình 2.17 Sơ đồ minh họa một mô hình hiệu dụng giải thích các hành vi của độ dẫn quang của GSLs.....	67
Hình 3.1 Phương pháp đo để đánh giá ảnh hưởng kim loại lên graphene của nhóm Huard.....	70
Hình 3.2 Xem xét điện trở tiếp xúc M-G theo kiểu lớp chuyển tiếp n-p.....	71
Hình 3.3 Cấu trúc kim loại - graphene - kim loại (M-G-M)	72
Hình 3.4 Graphene tiếp xúc bề mặt với mặt (1 1 1) của kim loại mạng lập phương tâm mặt với ô đơn vị của graphene chứa 2 nguyên tử (Cu-FCC)	74
Hình 3.5 Graphene tiếp xúc bề mặt với mặt (1 1 1) của kim loại mạng lập phương tâm mặt với ô đơn vị của graphene chứa 8 nguyên tử (Ag, Al, Ir, Pt, Au-FCC).....	74
Hình 3.6 Graphene tiếp xúc bề mặt với mặt (0 0 0 1) của kim loại mạng lục giác xếp chặt với ô đơn vị của graphene chứa 2 nguyên tử (Co-HPC).....	74
Hình 3.7 Graphene tiếp xúc bề mặt với mặt (0 0 0 1) của kim loại mạng lục giác xếp chặt với ô đơn vị của graphene chứa 8 nguyên tử (Cd, Ru, Ti-HPC)	74
Hình 3.8 Cấu trúc vùng điện tử và p_z -DOS (a, b) của tổ hợp G-Cu và, (c, d) tổ hợp G-Ti, tính bằng cách sử dụng code VASP4.6 (đường cong màu xanh) và mô hình đề xuất (đường cong màu đỏ)	76
Hình 3.9 Đặc trưng von-ampe của tổ hợp (a, f) Cu-G-Cu, (b, g) Au-G-Au, (c, h) Pt-G-Pt, (d, i) Pd-G-Pd, và (e, j) Ti-G-Ti. Năm đồ thị trên là kết quả của việc tính toán bằng việc sử dụng các giá trị của t_{p_zs} và t_{p_zd} cho trong Bảng 3.1 và năm đồ thị bên dưới là tính bằng việc sử dụng các giá trị nhỏ hơn một bậc	78
Hình 3.10 Hình ảnh của xác suất truyền qua như là một hàm của vector sóng k và năng lượng E với các giá trị khác nhau của điện áp của hai tổ hợp: Cu-G-Cu (bốn hình trên) và Pd-G-Pd (bốn hình dưới).....	79
Hình 4.1 Mặt cắt ngang sơ đồ nguyên lý của mô hình GFETs nghiên cứu.....	82
Hình 4.2 Dạng linh kiện GFETs cụ thể trong gói OPEDEVs do TS. Đỗ Văn Nam phát triển.....	89
Hình 4.3 Sơ đồ thuật toán của quá trình giải hai phương trình (4.6) và (4.7).....	90
Hình 4.4 Miền không gian linh kiện GFETs nghiên cứu	90
Hình 4.5 Thế năng tĩnh điện và mật độ hạt tải của cấu trúc GFETs có chiều dài kênh dẫn $L_c = 60\text{nm}$, $Re[\Sigma_{G-M}] = -0.1eV$ và $V_{DS} = 0.0V$	93
Hình 4.6 Thế năng tĩnh điện và mật độ hạt tải của cấu trúc GFETs có	

chiều dài kênh dẫn $L_c = 60\text{nm}$, $Re[\Sigma_{G-M}] = -0.1\text{eV}$ và $V_{DS} = 0.2\text{V}$	94
Hình 4.7 Độ dẫn G của một số mẫu GFETs phụ thuộc vào V_{GS} với hai trường hợp khác nhau của $Re[\Sigma_{G-M}]$ liên quan đến ảnh hưởng của điện cực kim loại	95
Hình 4.8 Độ dẫn G thực nghiệm trong nghiên cứu của nhóm Lei Liao với $L_c = 50\text{-}100\text{nm}$	95
Hình 4.9 Đặc trưng $I_{DS}\text{-}V_{GS}$ của một số mẫu GFETs.....	97
Hình 4.10 Đặc trưng $I_{DS}\text{-}V_{GS}$ theo đo đạc thực nghiệm của nhóm Lei Liao với $L_c = 50\text{-}100\text{nm}$	97
Hình 4.11 Đặc trưng $I_{DS}\text{-}V_{DS}$ của một mẫu GFETs với $L_c = 40\text{nm}$ tại một số giá trị V_{GS} , a) kết quả tính toán, b) kết quả thực nghiệm của nhóm Lei Liao	98
Hình 4.12 Độ dẫn G của một mẫu GFETs phụ thuộc vào V_{GS} với sự ảnh hưởng của phần ảo $\Delta = Im[\Sigma_{G-M}]$ liên quan đến ảnh hưởng của điện cực kim loại	99
Hình 4.13 Đặc trưng $I_{DS}\text{-}V_{GS}$ của một mẫu GFETs với sự ảnh hưởng của phần ảo $\Delta = Im[\Sigma_{G-M}]$ liên quan đến ảnh hưởng của điện cực kim loại	99
Hình 4.14 Quy trình thực hiện của module GFET trong packages OPEDEVs.....	120
Hình 4.15 Một ví dụ về cấu trúc hình học của một linh kiện GFETs nghiên cứu.....	121

GIỚI THIỆU CHUNG

1. Lý do chọn đề tài và khái quát luận án

Sự phát triển mạnh mẽ của nhiều lĩnh vực khoa học và kỹ thuật/công nghệ, nhất là lĩnh vực điện tử và công nghệ thông tin, đã làm cho đời sống xã hội toàn cầu có nhiều diện mạo mới. Có thể nói, các sản phẩm điện tử hiện nay có mặt khắp mọi nơi với giá thành rẻ, và mặc dù nhỏ gọn nhưng lại có rất nhiều chức năng. Về mặt công nghệ, lý do chính dẫn đến những thành quả như thế chính là nhờ những thành công trong việc phát triển các mạch tích hợp (Integrated Circuit - IC) trong đó một số lượng lớn các linh kiện cơ bản (ví dụ như các transistor, diot) đã được tích hợp một cách tối ưu. Như đã biết, mặc dù các transistor hoạt động theo nguyên lý trường (chẳng hạn như các linh kiện MOSFET - Metal Oxide Semiconductor Field-Effect Transistor) được sử dụng từ khá sớm, ngành công nghiệp điện tử và bán dẫn chỉ thực sự đạt được bước triển nhảy vọt khi thiết bị với tên gọi CMOS (Complementary Metal-Oxide-Semiconductor) được phát minh. Về cơ bản, CMOS có thể được xem là một mạch tích hợp đơn giản nhất trong đó chỉ bao gồm hai linh kiện MOSFET, một với kênh dẫn loại p và một với kênh dẫn loại n , kết nối với nhau và hoạt động theo cách bù trừ, hỗ trợ cho nhau (khi p -MOSFET hoạt động thì n -MOSFET đóng, và ngược lại). Hoạt động của mạch CMOS thực sự đã tạo ra một hệ thống đóng-mở hiệu quả (tiêu tốn ít năng lượng) và do đó trở thành một yếu tố vật lý cơ bản trong các thiết bị điện tử.

Có thể nói động lực thúc đẩy việc phát triển các mạch tích hợp là dựa trên ba yếu tố cơ bản: i) nhu cầu gia tăng các chức năng của hệ thống, ii) nâng cao năng lực lưu trữ thông tin, và iii) tối ưu và nâng cao tốc độ xử lý. Giải pháp thu nhỏ kích thước của các linh kiện nền tảng (cho đến nay) được xem là rất thích hợp để có thể đáp ứng được đồng thời ba nhu cầu này. Thực tế cho thấy, giải pháp này không những cho phép nâng cao mật độ linh kiện cơ bản trên mạch IC mà còn làm tăng tốc độ hoạt động thiết bị. Sự phát triển của lĩnh vực điện tử-bán dẫn thông qua việc thu nhỏ kích thước của linh kiện MOSFET có thể được phản ánh rõ nét nhất thông qua cái được gọi là “định luật Moore” (ghi nhận qua bài báo Moore viết cho tạp chí Electronics Magazine số ra ngày 19 tháng 4 năm 1965 nhân kỷ niệm 35 năm ra đời của tạp chí này) diễn tả tốc độ tích hợp các linh kiện cơ bản trong mạch IC: “Số lượng transistor trên mỗi đơn vị inch vuông sẽ tăng lên gấp đôi sau mỗi năm.” (1 inch vuông xấp xỉ $6,45 \text{ cm}^2$). Thực tế tốc độ gia tăng không hoàn toàn chính xác như vậy mà có những thay đổi song vẫn phản ánh đúng được tinh thần của phát biểu này (chẳng hạn, năm 2000 chu kỳ của sự phát triển được sửa lại là 18 tháng). Sự đúng đắn đến tài tình của nhận xét này từ khi ra đời đến nay đã không chỉ phản ánh các thành quả đạt được mà còn là một mục tiêu phấn đấu của các nhà công nghiệp cũng như đối với các nhà khoa học trong việc xác định đối tượng nghiên cứu trong giới hạn của nền công nghiệp hiện thời.

Vào những năm đầu của thế kỷ 21, “định luật Moore” vẫn tỏ ra còn nghiệm đúng, mặc dù nhiều vấn đề thách thức đã nảy sinh từ khá lâu, đặc biệt khi mà hàng tỷ transistors đã được tích hợp thành công trong mỗi IC. Tuy nhiên, ngành công nghiệp điện tử và bán dẫn đã và đang dần thay đổi trọng tâm của mình sang lĩnh vực nâng cao hiệu năng sử dụng năng lượng trên tất cả các cấp độ. Vấn đề đặt ra trong thời kỳ này là tìm cách khai thác hiệu quả hơn nữa khả năng tích hợp transistor để tiếp tục cải thiện vấn đề hiệu năng nhưng vẫn nằm trong phạm vi cho phép về mặt công suất tiêu thụ năng lượng. Để tiếp tục tăng hiệu năng hoạt động của các linh kiện điện tử bán dẫn phải giải phóng nhanh chóng lượng nhiệt được sinh ra nhưng rõ ràng đây là một sự chuyển đổi khó giữa vấn đề sử dụng năng